

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-107162

(43)Date of publication of application : 23.04.1996

(51)Int.Cl.

H01L 23/12
// H01L 21/321

(21)Application number : 07-185913

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.07.1995

(72)Inventor : TAKENAKA MASAJI
YAMASHITA TATSURO
KASAI JUNICHI
MIZUKOSHI MASATAKA

(30)Priority

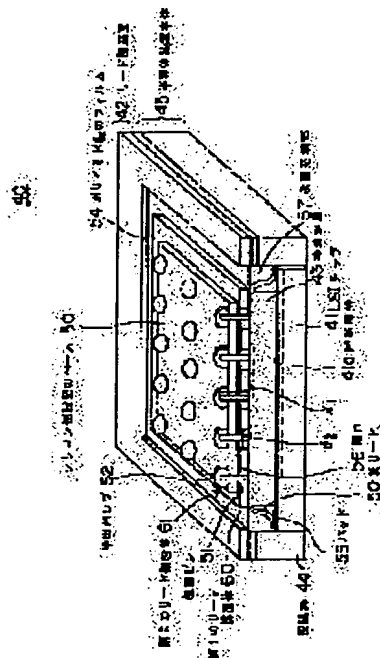
Priority number : 06187390 Priority date : 09.08.1994 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To realize a semiconductor device which is almost free from thermal stress when it is mounted on a printed board.

CONSTITUTION: A semiconductor device is equipped with an LSI chip 41, a protective frame 44, and a lead structure 42. The lead structure 42 is composed of a first lead structure 60 and a second lead structure 61. The first lead structure 60 is formed of a Cu foil lead 50. The second lead structure 61 is composed of a large number of fine and short pins 51 and a silicone resin base which holds the pins 51 in array. The second lead structure 61 bonds the pins 51 to the corresponding Cu foil leads 50. The pins 51 are so constituted as to be deflected to absorb thermal stress.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-107162

(43)公開日 平成8年(1996)4月23日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

// H 0 1 L 21/321

H 0 1 L 23/ 12

L

K

9169-4M

H 0 1 L 21/ 92

6 0 2 E

審査請求 未請求 請求項の数8 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願平7-185913

(22)出願日 平成7年(1995)7月21日

(31)優先権主張番号 特願平6-187390

(32)優先日 平6(1994)8月9日

(33)優先権主張国 日本(J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 竹中 正司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 山下 達郎

鹿児島県薩摩郡入来町副田5950番地 株式

会社九州富士通エレクトロニクス内

(72)発明者 河西 純一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

最終頁に続く

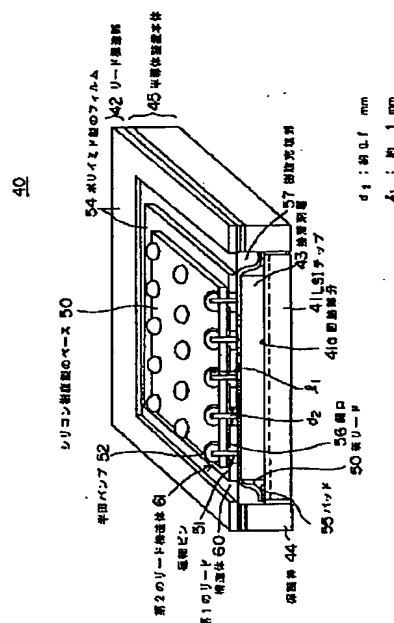
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 本発明は半導体装置及びその製造方法に関し、プリント基板上に実装したときに、熱応力が生じにくい構造を実現することを課題とする。

【解決手段】 L S Iチップ41と、保護枠44と、リード構造部42とを有する。リード構造部42は、第1のリード構造体60と、第2のリード構造体61とよりなる。第1のリード構造体60は、Cu箔リード50よりなる。第2のリード構造体61は、多数の極細の短いピン51と、多数のピン51を整列した状態に保持するシリコン樹脂製のベース53とよりなる。第2のリード構造体61が、各ピン51を対応するCu箔リード50と接合させて設けてある。ピン51が撓んで熱応力を吸収するよう構成する。

本発明の第1実施例によるM B G A型半導体装置を縦断して示す斜視図



【特許請求の範囲】

【請求項 1】 半導体チップを有する半導体装置本体と、
 該半導体装置本体に接合してあるリード構造体とよりなり、
 該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、
 各ピンの一端が、上記半導体チップと電氣的に接続されている構成としたことを特徴とする半導体装置。

【請求項 2】 半導体チップを有する半導体装置本体と、
 該半導体装置本体に接合してあるリード構造体とよりなり、
 該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、
 各ピンの一端が、上記半導体チップと電氣的に接続されており、
 各ピンの先端に、金属製のバンプを有する構成としたことを特徴とする半導体装置。

【請求項 3】 半導体チップを有する半導体装置本体と、
 該半導体装置本体に接合してあるリード構造体とよりなり、
 該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、
 各ピンの一端が、上記半導体チップと電氣的に接続されており、
 各ピンの先端に、導電ペーストのバンプを有する構成としたことを特徴とする半導体装置。

【請求項 4】 半導体チップを有する半導体装置本体と、
 該半導体装置本体に接合してあるリード構造体とよりなり、
 該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、
 各ピンの一端が、上記半導体チップと電氣的に接続されており、
 各ピンの先端に、異方性材料の微小片を有する構成としたことを特徴とする半導体装置。

【請求項 5】 上記ベースは、シリコン樹脂製であり、シート状を有する構成としたことを特徴とする請求項 1 乃至 4 項のうちいずれか一項記載の半導体装置。

【請求項 6】 上記半導体装置本体と、上記リード構造体のベースとの間を、弾性率が低い材料で充填した構成としたことを特徴とする請求項 1 乃至 5 項のうちいずれか一項記載の半導体装置。

【請求項 7】 上記半導体装置本体と、上記リード構造体のベースとの間を、弾性率が低い材料で充填した構成とするとともに、上記リード構造体を、小サイズのリード構造体が複数寄り集まった構成としたことを特徴とする請求項 1 乃至 5 項のうちいずれか一項記載の半導体装置。

【請求項 8】 柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成のリード構造体を製造する工程と、

上記工程によって製造された該リード構造体に、半導体チップ又は該半導体チップを有する半導体装置本体を接合する工程とよりなる構成としたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特に超小型の半導体装置及びその製造方法に関する。近年、電子機器の小型化が進んでおり、このために、実装のための面積が狭くて足りる超小型の半導体装置の実用化が求められている。

【0002】この要求に対応すべく、現在、 μ BGA又はCSP (Chip Size Package)が開発されている。

【0003】

【従来の技術】図19は、従来の1例の超小型半導体装置10を示す。超小型半導体装置10は、 μ BGAといわれるものであり、LSIチップ11と、端子部材12と、矩形状の保護枠13と、接着剤層14とを有する。

【0004】端子部材12は、テープのようなCu箔リード15が貼り付いているポリイミドフィルム16に、径d、が約0.2mmと小さい半田バンプ17が付いた構造を有する。この端子部材12が、接着剤層14によって、LSIチップ11に接着してある。接着剤層14は、LSIチップ11の回路部分11aを封止する役割も有している。保護枠13は、LSIチップ11を囲んでおり、LSIチップ11を保護する。

【0005】この超小型半導体装置10は、図20に示すように半田バンプ17を、プリント基板20上のパッド21に、リフローによって半田付けされて、プリント基板20上、LSIチップ11をプリント基板20へ投影した部分と実質上同じ面積の部分だけを占有して実装される。

【0006】上記の端子部材12は、内部端子を構成するCu箔リード15と、外部端子を構成する半田バンプ17とを一体に有する構造を有する。この端子部材12は、図21(A)、(B)、(C)に示す工程を経て製造される。

【0007】まず、図21(A)に示すように、開口30を有するポリイミドフィルム16の全面にCu箔31を貼り付ける。次いで、図21(B)に示すように、マ

スキングをし、Cu箔31に対してエッチングを施して、微細なCu箔リード15を形成する。これによって、孔あきポリイミドフィルム16に微細なCu箔リード15が貼り付いている内部端子部材32を得る。

【0008】最後に、図21(C)に示すように、内部端子部材31をマスキングし、半田メッキを行って、Cu箔パターン15と接続し、開口30を埋め、且つ開口30より上方に盛り上がった小さな半田バンプ17を形成する。

【0009】

【発明が解決しようとする課題】上記の超小型半導体装置10は、以下に挙げる二つの解決すべき課題を有する。

①実装不良が起き易い。

【0010】LSIチップ11はシリコン製であり、熱膨張係数は 3.5×10^{-6} であるのに対して、プリント基板20はガラスエポキシ樹脂製であり、熱膨張係数は 14×10^{-6} であり、LSIチップ11の約4倍と大きい。ここで、半田バンプ17の径d₁は約0.2mmであり、一般のBGAパッケージの半田バンプの径の約1/3と小さく、応力を吸収する能力は小さい。

【0011】このため、リフロー後の状態において、LSIチップ11とプリント基板20との熱膨張係数の違いによる応力が半田バンプ17に作用したときに、半田バンプ17自体によって応力が吸収できず、場合によっては、半田バンプにクラックが発生し、超小型半導体装置10は実装不良となってしまう。

【0012】また、半田バンプにクラックが生じないとしても、超小型半導体装置10の実装の信頼性が低かった。

② 製造コストが高い

上記の端子部材12は、Cu箔リード15と半田バンプ17とを一体に有する構成である。

【0013】ここで、微細なCu箔リード15を形成すること、及び小さい半田バンプ17を形成することは、共に比較的困難なものであり、不良が発生し易く、図21(B)のエッチング工程における歩留り及び図21(C)の半田メッキ工程における歩留りは共に良くない。

【0014】このため、端子部材12の製造の歩留りは、図21(B)のエッチング工程における歩留りに、図21(C)のメッキ工程における歩留りを乗算した数値となり、相当に低くなってしまふ。これにより、端子部材12は、歩留りが低い分、コスト高なものとなってしまう。

【0015】この結果、超小型半導体装置10の製造コストが高いものとなってしまう。そこで、本発明は、上記課題を解決した半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】請求項1の発明は、半導体チップを有する半導体装置本体と、該半導体装置本体に接合してあるリード構造体とよりなり、該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、各ピンの一端が、上記半導体チップと電気的に接続されている構成としたものである。

【0017】請求項2の発明は、半導体チップを有する半導体装置本体と、該半導体装置本体に接合してあるリード構造体とよりなり、該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、各ピンの一端が、上記半導体チップと電気的に接続されており、各ピンの先端に、金属製のバンプを有する構成としたものである。

【0018】請求項3の発明は、半導体チップを有する半導体装置本体と、該半導体装置本体に接合してあるリード構造体とよりなり、該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、各ピンの一端が、上記半導体チップと電気的に接続されており、各ピンの先端に、導電ペーストのバンプを有する構成としたものである。

【0019】請求項4の発明は、半導体チップを有する半導体装置本体と、該半導体装置本体に接合してあるリード構造体とよりなり、該リード構造体が、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成を有し、各ピンの一端が、上記半導体チップと電気的に接続されており、各ピンの先端に、異方性材料の微小片を有する構成としたものである。

【0020】請求項5の発明は、上記ベースは、シリコーン樹脂製であり、シート状を有する構成としたものである。請求項6の発明は、上記半導体装置本体と、上記リード構造体のベースとの間を、弾性率が低い材料で充填した構成としたものである。

【0021】請求項7の発明は、上記半導体装置本体と、上記リード構造体のベースとの間を、弾性率が低い材料で充填した構成とするとともに、上記リード構造体を、小サイズのリード構造体が複数寄り集まった構成としたものである。請求項8の発明は、柔軟性を有するベースと、該ベースを挿通して、該ベースによって保持されて整列している多数のピンとよりなる構成のリード構造体を製造する工程と、上記工程によって製造された該リード構造体に、半導体チップ又は該半導体チップを有する半導体装置本体を接合する工程とよりなる構成としたものである。

【0022】

【発明の実施の形態】図1は本発明の第1実施例になる半導体装置40を示す。半導体装置40は、μBGA型

10

20

30

40

50

であり、半導体装置本体45と、リード構造部42とよりなる。

【0023】半導体装置45は、LSIチップ41と、柔軟な接着剤層43と、保護枠44とを有する。リード構造部42は、Cu製の箔パターン50と、Cu製の極細ピン51と、半田バンプ52と、シリコン製樹脂のベース53と、ポリイミド樹脂のフィルム54とよりなる。

【0024】箔リード50の一端は、LSIチップ41上の周囲側のパッド55に接続してある。箔リード50は、接着剤層43上を延在しており、接着剤層43に接着してある。極細ピン51は、径 d_1 が約0.1mm、長さ l_1 が約1mmであり、下端を、上記箔リード50の他端側の部分に接合してあり、立っている。

【0025】半田バンプ52は、極細ピン51の上端に形成してある。これにより、各半田バンプ52は、極細ピン51及び箔リード50を介して、対応する上記パッド55と電気的に接続してある。箔リード50は、フィルム54に貼り付いており、フィルム54によって支持されている。また、フィルム54は、接着剤層43上に

接着してあり且つ保護枠44上に接着してある。

【0026】極細ピン51の下端側は、上記フィルム54の開口56内に嵌合している。極細ピン51は、フィルム状のベース53を貫通している。ベース53は、シリコン樹脂製であり、柔軟な。ベース53は、図1中、フィルム54の上側に位置しており、多数の極細ピン51を、これがある程度変形しうる状態で支持している。

【0027】接着剤層43は、LSIチップ41の回路部分41aを、封止する役割も有している。保護枠13は、LSIチップ41を囲んでおり、LSIチップ41を保護している。

【0028】接着剤層43の周りの部分には、樹脂充填部57が形成してある。この樹脂充填部57によって、上記のパッド55及びCu箔リード50の一部が封止されている。上記のリード構造部42は、後述するように、箔リード50とフィルム54とよりなる第1のリード構造体60と、極細ピン51と、半田バンプ52と、ベース53とよりなる第2のリード構造体62とよりなる構造を有する。

【0029】上記の構成の μ BGA型の半導体装置40は、図2に示すように、半田バンプ52を、プリント基板70上のパッド71に、リフローによって半田付けされて、狭い領域内に実装される。72は半田付け部を示す。次に、実装状態において、応力集中が回避されていることを図3を参照して説明する。

【0030】リフローによって半田付けをしたとき、プリント基板70は、LSIチップ41より多く収縮する。このとき、極細ピン51が、フィルム状のベース53に支えられつつ、且つベース53を撓ませつつ、例え

ば二点鎖線で示す状態から実線で示す状態へと比較的自由に撓む。

【0031】この極細ピン51が撓むことによって、プリント基板70とLSIチップ41との熱膨張率の差が吸収され、半田付け部72に応力が集中することは起きない。このため、半導体装置40は、どの部分にも応力が集中していない状態で、即ち、半田付け部72にクラックが発生する虞れの無い状態で、信頼性良く実装される。

【0032】次に、図1の半導体装置40を製造する方法について説明する。

【第1の製造方法】まず、第1の製造方法について、図4を参照して説明する。この第1の製造方法は、リード構造部42についてみると、第1のリード構造体60と、第2のリード構造体62とを、別々に製造し、両者を組み合わせ、リード構造組立体を作り、これにLSIチップ41を接合する構成である。

【0033】① 第1のリード構造体製造工程80
図18(A)、(B)に示すと同様に、エッチングによって、Cu箔リード50がフィルム54に貼り付いた構造の第1のリード構造体60を製造する。

② 第2のリード構造体製造工程81
この工程は、図5に示すように行う。

【0034】(2₁) まず、シリコン樹脂充填工程81₁を行う。ここでは、径が $d_2 = 0.1$ mmの多数本のCu製のワイヤ90を平面上に格子状に整列させて垂直に延在させてなる整列ワイヤ群91を、矩形状の容器92の内部に配し、容器92内にシリコン樹脂93を流し込み、シリコン樹脂を硬化させる。これにより、ワイヤ90は、硬化したシリコン樹脂内に埋設されて、相対的な位置を規制された状態となる。

【0035】(2₂) 次いで、スライス工程81₂を行う。容器92から、硬化したシリコン樹脂のブロックを取り出し、これを、ワイヤ群に対して直交する方向に所定の厚さ t 、(約1mm)にスライスして、スライス体94を得る。

【0036】(2₃) 最後に、エッチング工程81₃を行う。スライス体94に対してエッチングを行って、シリコン樹脂を溶かし、Cu極細ピン51をシリコン樹脂ベース53より相対的に突出させ、第2のリード構造体61を得る。

【0037】第2のリード構造体61は、厚さ t 、が約0.5mmのシリコン樹脂製の支持ベース53と、径 d_2 が約0.3mm、長さ l_2 が約0.1mmの多数のCu極細ピン51とよりなる。極細ピン51は、ベース53を貫通しており、略中央をベース53によって支持されている。この極細ピン51は、ベース53より上方に突き出している上方突起部51aと、ベース53より下方に突き出している下方突起部51bとを有する。

【0038】③ リード構造組立体製造工程82

図4に示すように、第2のリード構造体61を裏表反転させた向きとし、この上に、第1のリード構造体60を、裏表反転させた姿勢で重ねる。フィルム54の開口56が極細ピン51の下方突起部51bと嵌合し、下方突起部51bが、箔リード50と当接した状態となる。

【0039】この状態で、ツール96を使用して、箔パターン51と極細ピン51とを、熱圧着により接合する。これにより、第1のリード構造体60と第2のリード構造体62とが接合された、リード構造組立体97を得る。ここで、第1のリード構造体60と第2のリード構造体62とは、並行して製造され、一方の歩留りが他方の歩留りに影響を及ぼさない。

【0040】また、工程82では熱圧着だけを行っており、不良は発生しにくい。このため、リード構造組立体97は、比較的歩留り良く製造され、リード構造組立体97の製造コストは、比較的安価である。

④ LSIチップ接合工程83

LSIチップ41の回路部分41a側を、柔かい接着剤98によって、リード構造組立体97のうち、第1のリード構造体60の箔リード50側に結合する。

⑤ 保護枠接合工程84

保護枠44を、LSIチップ41の周囲に嵌合させて、接着剤99によってLSIチップ41に接着する。また、フィルム54のうち、外側の枠の部分で、接着剤100によって保護枠44の上面に接着する。

【0041】⑥ 箔リード接合工程85

ツール101を使用して、箔リード50を、パッド55に接合する。

⑦ 樹脂充填工程86

合成樹脂を保護枠44の内側に充填して、樹脂充填部57を形成する。

【0042】⑧ 半田バンプ形成工程87

最後に、半田メッキを行って、全部の極細ピン51の下方突起部51bに、半田バンプ52を形成する。ここで、半田メッキを行う前の状態において、極細ピン51の下方突起部51bは、ベース53より突き出した状態にあり、ベース53自体がマスキングの働きをしており、マスキングは不要である。このため、半田メッキは、簡単にしかも安定に行われ、半田バンプ54は安定に形成される。

【0043】以上によって、図1のμBGA型半導体装置40が製造される。

〔第1の製造方法の第1の変形例〕図6は、図4中、リード構造組立体製造工程82の変形例を示す。この変形例の工程においては、ブロック形状のツール110を使用して、全部の箔リード50の内側端を、対応する極細ピン51の下方突起部51bに、一括して熱圧着している。

【0044】〔第1の製造方法の第2の変形例〕図7

は、上記の第1の製造方法の第2の変形例を示す。同図

中、図4に示す構成部分と対応する部分には、同一符号を付す。第2のリード構造体製造工程81Aは、図5中のエッチング工程81、の次に、半田メッキ工程81、を有する。

【0045】半田メッキ工程81、によって、極細ピン51の突起部51a、51bに半田が付着して、半田バンプ120、121が形成される。これにより、上記の工程81Aによって、半田バンプ付きの第2のリード構造体62Aを得る。リード構造組立体製造工程82Aにおいては、半田バンプ付きの第2のリード構造体62Aが、半田バンプ121を利用して、第1のリード構造体60と接合され、半田バンプ120が付いているリード構造組立体97Aを得る。

【0046】この後は、図4と同様の工程83、84、85、86を行う。図4中、最後の半田バンプ形成工程87は不要である。

〔第2の製造方法〕次に、第2の製造方法について、図8を参照して説明する。

【0047】この第2の製造方法は、リード構造部42についてみると、第1のリード構造体60と第2のリード構造体62Aとを別々に製造し、LSIチップ41を第1のリード構造体60に接合し、最後に、LSIチップ41が接合してある第1のリード構造体60に、第2のリード構造体62Aを接合する構成である。

【0048】この第2の製造方法は、第1のリード構造体60と第2のリード構造体62Aとを別々に製造する点で、前記の第1の製造方法と同じである。また、この第2の製造方法は、最初に第1のリード構造体60をLSIチップ41と接合し、その後、第2のリード構造体62Aを第1のリード構造体に接合する点で、前記の第1の製造工程と異なる。図8中、図4及び図7と同一部分には同一符号を付し、その説明は省略する。第2の製造方法は、以下に説明するようになされる。

【0049】まず① 第1のリード構造体製造工程80及び② 第2のリード構造体製造工程81Aを、独立に行う。

③ 保護枠接合工程84A

回路部分41aが、接着剤層43で覆われたLSIチップ41に保護枠44を接合する。

40 【0050】④ LSIチップ接合工程83A

保護枠44が接合されているLSIチップ41を、第1のリード構造体60に接合する。

⑤ 箔リード接合工程85

図4と同様に行う。

【0051】⑥ 樹脂充填工程86

図4と同様に行う。

⑦ ベース印刷工程130

LSIチップ41が接合してある第1のリード構造体60の表面に、ペーストを印刷する。135はペーストであり、ベース53の開口56内を埋めて、Cu箔リード

50上に被着してある。

【0052】^⑧ 第2のリード構造体接合工程131最後に、第2のリード構造体61Aを、上記のベースト135、及び半田バンプ121を利用し、Cu箔リード50に半田付けして、上記の第1のリード構造体60に接合する。

【0053】以上によって、図1の μ BGA型半導体装置40が製造される。この第2の製造方法によっても、 μ BGA型半導体装置40は、マスキング等の面倒なプロセスを経ないで、比較的簡単に、歩留り良く製造される。

【第1実施例の変形例】第2のリード構造体は、種々の変形例を有する。この変形例になる第2のリード構造体を接合することによって、上記の第1実施例の μ BA型半導体装置は、種々の変形例を有する。

【0054】図9(A)乃至(G)、図10(A)乃至(H)は、第2のリード構造体の変形例61₁〜61₁₁を示す。各図中、140はペースト製のバンプである。141は、異方性材料製のシートの微小片である。こゝで、異方性材料のシートとは、通常状態では、どの方向に対しても絶縁性を有し、圧縮されたときに、圧縮された方向に、導通状態となるものである。

【0055】図11(A)、(B)、(C)、図12(A)、(B)、(C)は、図1に示す μ BGA型半導体装置40の変形例を示す。図11(A)の半導体装置40₁は、図9(A)に示す第2のリード構造体61₁を接合してなる構成を有する。

【0056】図11(B)の半導体装置40₂は、図9(B)に示す第2のリード構造体61₂を接合してなる構成を有する。図12(A)の半導体装置40₃は、図10(D)に示す第2のリード構造体61₁₁を接合してなる構成を有する。

【0057】図12(B)の半導体装置40₄は、図10(E)に示す第3のリード構造体61₁₂を接合してなる構成を有する。図12(C)の半導体装置40₅は、図10(F)に示す第2のリード構造体61₁₃を接合してなる構成を有する。

【0058】上記の他に、半導体装置は、図9(C)乃至(G)及び図10(A)乃至(C)に示す第2のリード構造体61₃〜61₁₀を接合した構成とし得る。

【第2実施例】図13は、本発明の第2実施例になる半導体装置150を示す。

【0059】半導体装置150は、一般のBGA型であり、半導体装置151と、第2のリード構造体61とよりなる構成を有する。半導体装置本体151は、配線パターンを有する配線基板152と、配線基板152上に実装してあるLSIチップ141と、LSIチップ41を封止する樹脂部153とよりなる。

【0060】第2のリード構造体61は、配線基板151の下面に接合してある。

【第3実施例】図14は、本発明の第2実施例になる半導体装置150を示す。半導体装置160は、一般のBGA型であり、半導体装置本体161と、第2のリード構造体61とよりなる構成を有する。

【0061】半導体装置本体161は、放熱手段としての金属板162と、金属板162の下面に接合してある矩形枠状の配線基板163と、下面の中央の空間164内に位置して、金属板162の下面に接合してあるLSIチップ41と、張られているワイヤ165と、LSIチップ41を封止する金属蓋166とを有する。

【0062】第2のリード構造体61は、配線基板163の下面に接合してある。

【第4実施例】図15は、本発明の第4実施例になる半導体装置170を示す。半導体装置170は、 μ BGA型であり、半導体装置本体171と、第2のリード構造体61とよりなる構成を有する。

【0063】半導体装置本体171は、配線パターンを有し、周辺部に、上方に突出して並んでいる金属ピン群172を有する配線基板173と、金属ピン172と接合して配線基板173上に接合してあるLSIチップ41とを有する。第2のリード構造体61は、配線基板173の下面に接合してある。

【0064】【第5実施例】図16(A)、(B)は、本発明の第5実施例になる半導体装置180を示す。半導体装置180は、図15の半導体装置170において、配線基板173と、第2のリード構造体61のシリコン樹脂製のベース53Aとの間の偏平な空間174内に、符号181で示すシリコン樹脂を充填してなる構成を有する。

【0065】ベース53Aは、中央部に、矩形状のシリコン樹脂の注入口53Aaを有する。シリコン樹脂は、この注入口53Aaを通して注入される。シリコン樹脂181は、上記空間174内を占めており、空間174を横切っている全ての極細ピン51をくるんでいる。

【0066】次に、実装状態において、応力集中が如何に回避されるかを図17を参照して説明する。リフローによって半田付けをしたとき、プリント基板70は、LSIチップ41より多く収縮する。

【0067】このとき、極細ピン51が、フィルム状のベース53に支えられつつ、且つベース53を撓ませつつ、実線で示す状態から例えば二点鎖線で示す状態へと比較的自由に撓む。この極細ピン51が撓むことによって、プリント基板70とLSIチップ41との熱膨張率の差が吸収される。

【0068】図15の半導体装置170にあっては、極細ピン51のうち空間174を横切っている部分51aは、何らの制限も受けずに、全く自由に撓む。このため、極細ピン51のうちベース53より配線基板173寄りの部分に生じている応力の分布は、図17(D)に

線 185 で示すようになる、即ち、極細ピン 51 のうち空間 174 を横切っている部分 51a には、応力が殆ど発生していず、極細ピン 51 のうち配線基板 173 への半田付け部 186 に応力が集中する傾向にある。

【0069】本実施例になる半導体装置 180 にあっては、極細ピン 51 のうち上記の部分 51a は、全く自由にではなく、シリコン樹脂 181 を変形させつつ撓む。このため、極細ピン 51 のうち上記の部分 51a の部分にも応力が発生し、その分、極細ピン 51 のうち配線基板 173 への半田付け部 186 に発生する応力が減る。よって、極細ピン 51、及び極細ピン 51 の配線基板 173 への半田付け部 186 に発生する応力は、図 17 (B) に線 187 で示すようになり、上記半田付け部 186 への応力集中がより緩和される。従って、半導体装置 180 は、図 15 の半導体装置 170 の場合よりも、信頼性良く実装される。

【0070】〔第 6 実施例〕図 18 (A)、(B) は、本発明の第 6 実施例になる半導体装置 190 を示す。半導体装置 190 は、図 16 の半導体装置 170 において、第 2 のリード構造体 61 に替えて、合わせたときに第 2 のリード構造体 61 と同じ大きさとなる、四個の小

さい第 2 のリード構造体 61-1 ~ 61-4 を有する構成である。配線基板 173 と、四個の小サイズの第 2 のリード構造体 61-1 ~ 61-4 のシリコン樹脂製のベース 53B との間の扁平な空間 174 内に、シリコン樹脂 181 が充填してある四個の小サイズの第 2 のリード構造体 61-1 ~ 61-4 は、図 18 (A)、

(B) に示すように、隙間 191 をあけて、並べてあり、互いに影響しあわない状態にある。また、個々の第 2 のリード構造体 61-1 ~ 61-4 のサイズは、図 17 の第 2 のリード構造体 61 に比べて 1/4 と小さいため、プリント基板 70 と LSI チップ 41 との熱膨張率の差を吸収するときに個々の第 2 のリード構造体 61-1 ~ 61-4 のフィルム状ベース 53B が撓む量は、図 17 の一つの第 2 のリード構造体 61 のフィルム状ベース 53A が撓まなければならない量にくらべて少ない。

【0071】よって、上記の熱膨張率の差を吸収するときの極細ピン 51 の撓み変形は、図 17 の場合に比べてより円滑になされ、上記半田付け部 186 への応力集中がより緩和される。従って、半導体装置 190 は、図 17 の半導体装置 180 の場合よりも、更に信頼性良く実装される。

【0072】上記、図 16 (A)、(B) の半導体装置 180、及び図 18 (A)、(B) 半導体装置 190 において、空間 174 内に充填される材料は、シリコン樹脂 181 に限られるものではなく、弾性率の低い材料であればよい。また、第 2 のリード構造体 61、61-1 ~ 61-4 は、極細ピン 51 の上端に半田バンプ 52 を有しない構造でもよく、また、極細ピン 51 の上端に、図 9 (A) 乃至 (G)、図 10 (A) 乃至 (H) に

示すように、ペースト製のバンプ 140、又は異方性材料製のシートの微小片 141 を設けた構成でもよい。

【0073】

【発明の効果】以上説明したように、請求項 1 の発明によれば、ベースによって、多数のピンが整列した状態に保たれているため、ピンが極細である場合であっても、このピンをリードとして機能するように組立てることが出来る。

【0074】また、ベースが柔軟性を有するため、ベースはピンが撓むことを妨げないように作用し、ピンが自由に撓むことが出来、よって、熱応力がピンとプリント基板との接合部分に発生することを防止することが出来る。この結果、半導体装置をプリント基板上に信頼性良く実装することが出来る。

【0075】請求項 1 の発明は、サイズが半導体チップと同様に小さい小型の半導体装置に適用して効果を有する。請求項 2 の発明によれば、各ピンの先端に設けある金属製のバンプを利用することによって、プリント基板上へ実装し易く、且つ実装が確実となる構造の半導体装置を実現出来る。

【0076】請求項 3 の発明によれば、各ピンの先端の導電ペーストのバンプを利用することによって、実装し易い構造の半導体装置を実現出来る。請求項 4 の発明によれば、各ピンの先端の異方性シートの微小片を利用することによって、実装し易い構造の半導体装置を実現出来る。

【0077】請求項 5 の発明によれば、シリコン樹脂は、充分な柔軟性を呈するため、ピンが自由に撓み、熱応力の発生を確実に防止出来る。請求項 6 の発明によれば、半導体装置本体と、リード構造体のベースとの間に充填された弾性率が低い材料によって、ピンに作用する熱応力が分散させられ、よって、ピンの半導体装置への接合部への応力をより緩和することが出来る。この結果、半導体装置をプリント基板上に信頼性良く実装することが出来る。

【0078】請求項 7 の発明によれば、リード構造体を、小サイズのリード構造体が複数寄り集まった構成としてあるため、各小サイズのリード構造体のベースの撓み量が、リード構造体が単一である場合のそのリード構造体のベースの撓み量に比べて、少なく抑えられ、よって、ピンに作用する熱応力を小さく抑えることが出来る。

【0079】請求項 8 の発明によれば、リード構造体を製造し、これを半導体チップ等へ接合する構成であるため、半導体装置の製造工程における不良の発生を少なくし得、半導体装置を生産性良くしかも、歩留り良く製造し得る。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例になる μ BGA 型半導体装置を縦断して示す斜視図である。

【図 2】図 1 の半導体装置が実装された状態を示す図である。

【図 3】実装状態において、応力集中が回避されていることを説明する図である。

【図 4】図 1 の μ BGA 型半導体装置の第 1 の製造方法の工程図である。

【図 5】図 4 中の第 2 のリード構造体製造工程を説明するための図である。

【図 6】図 4 中、リード構造組立体製造工程 82 の変形例を示す図である。

【図 7】図 1 の μ BGA 型半導体装置の第 1 の製造方法の第 2 の変形例の工程図である。

【図 8】図 1 の μ BGA 型半導体装置の第 2 の製造方法の工程図である。

【図 9】第 2 のリード構造体の変形例を示す図である。

【図 10】第 2 のリード構造体の変形例を示す図である。

【図 11】 μ BGA 型半導体装置の変形例を示す図である。

【図 12】 μ BGA 型半導体装置の変形例を示す図である。

【図 13】本発明の第 2 実施例になる半導体装置を示す図である。

【図 14】本発明の第 3 実施例になる半導体装置を示す図である。

【図 15】本発明の第 4 実施例になる半導体装置を示す図である。

【図 16】本発明の第 5 実施例になる半導体装置を示す図である。

【図 17】図 16 の半導体装置中の極細ピンにかかる応力を、図 15 の半導体装置中の極細ピンにかかる応力と比較して示す図である。

【図 18】本発明の第 6 実施例になる半導体装置を示す図である。

【図 19】従来の超小型半導体装置の 1 例を示す図である。

【図 20】図 19 の超小型半導体装置が実装された状態を示す図である。

【図 21】端子部材の製造を説明するための図である。

【符号の説明】

40 μ BGA 型半導装置

41 LSI チップ

41a 回路部分

42 リード構造部

43 接着剤層

44 保護枠

50 Cu 箔リード

51 Cu 極細ピン

51a 上方突起部

51b 下方突起部

52 半田パンブ

53, 53A, 53B シリコン樹脂製のベース

53Aa 注入口

54 ポリイミド性のフィルム

55 パッド

56 開口

57 樹脂充填部

60 第 1 のリード構造体

61, 61A 第 2 のリード構造体

10 61-1~61-4 小サイズの第 2 のリード構造体

70 プリント基板

71 パッド

72 半田付け部

80 第 1 のリード構造体製造工程

81, 81A 第 2 のリード構造体製造工程

81.1 シリコン樹脂充填工程

81.2 スライス工程

81.3 エッチング工程

81.4 半田メッキ工程

20 82, 82A リード構造組立体製造工程

83 LSI チップ接合工程

84, 84A 保護枠接合工程

85 箔リード接合工程

86 樹脂充填工程

90 Cu 製のワイヤ

91 整列ワイヤ群

92 容器

93 シリコン樹脂

94 スライス体

30 96 ツール

97, 97A リード構造組立体

98, 99, 100 接着剤

101 ツール

110 ブロック状のツール

120, 121 半田パンブ

130 ベース印刷工程

131 第 1 のリード構造体接合工程

135 ベース

140 ベース製のパンブ

40 141 異方性材料シートの微小片

150, 160, 170, 180, 190 半導体装置

151, 161, 171 半導体装置本体

152 配線基板

153 樹脂部

162 金属板

163 矩形枠状破線基板

164 空間

165 ワイヤ

166 金属蓋

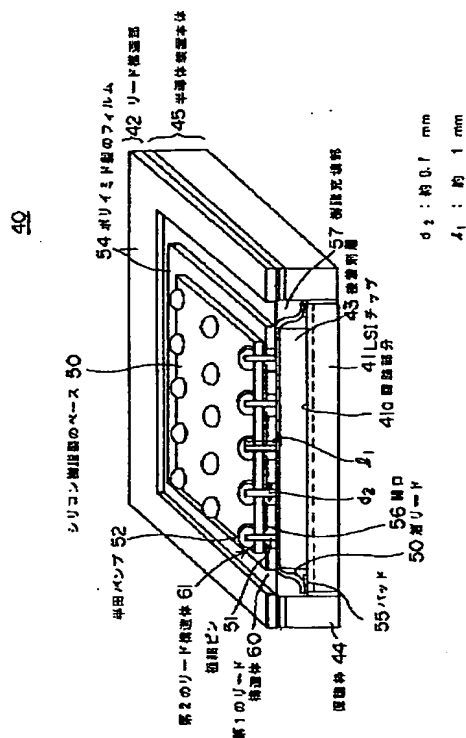
50 171 半導体装置本体

172 金属ピン群
173 配線基板

* 181 充填されたシリコン樹脂
* 186 半田付け部

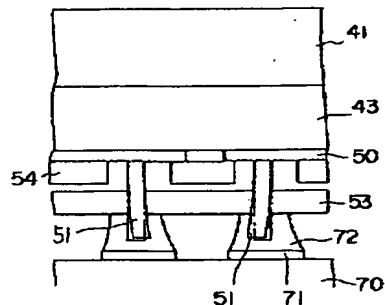
【図1】

本発明の第1実施例によるABGA型半導体装置を縦断して示す斜視図



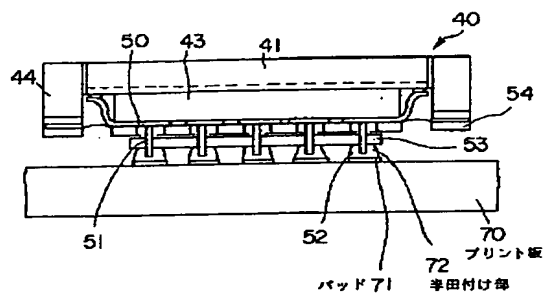
【図3】

実装状態において、応力集中が回避されていることを説明する図



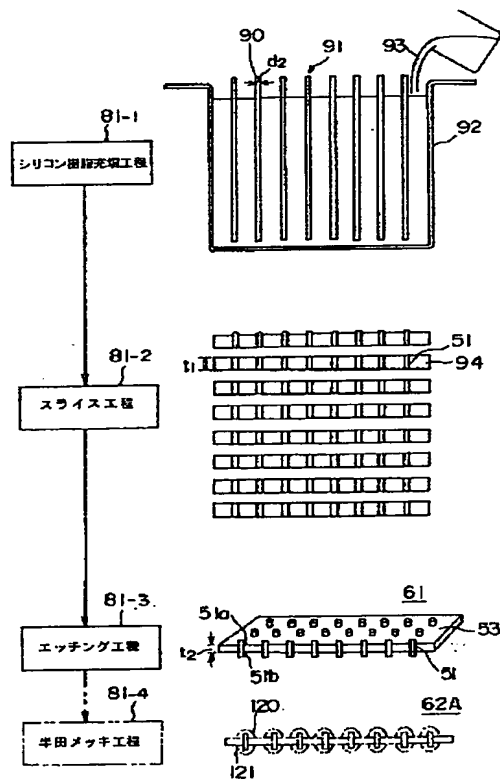
【図2】

図1の半導体装置が実装された状態を示す図

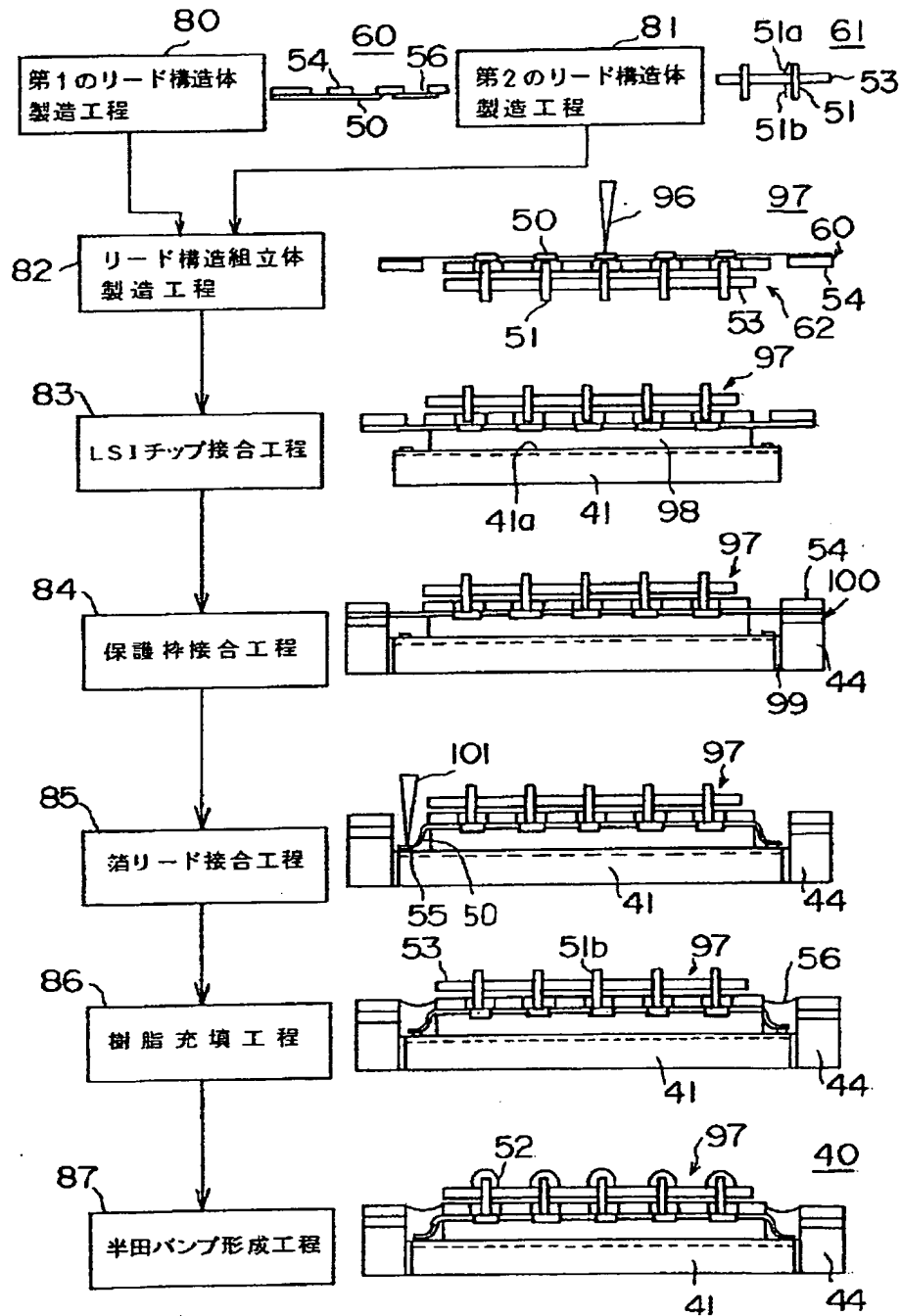


【図5】

図4中の第2のリード構造体製造工程を説明するための図

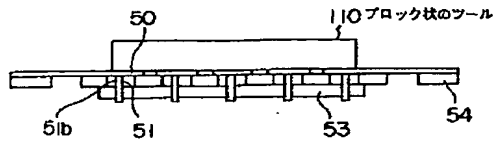


【図4】

図1の μ BGA型半導体装置の第1製造方法の工程図

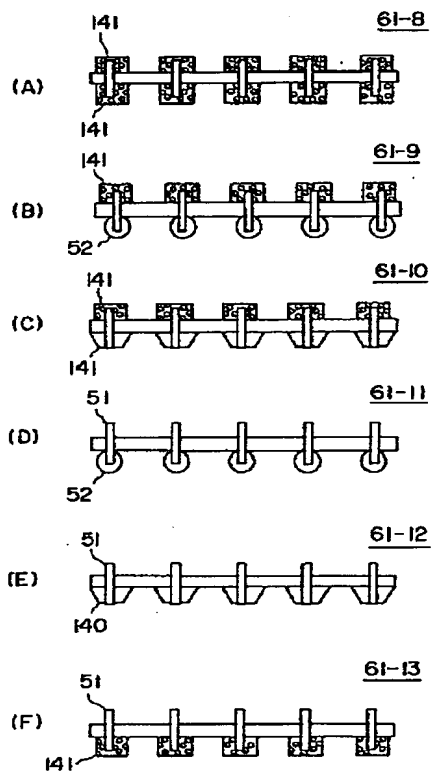
【図6】

図4中のリード構造組立体製造工程82の変形例を示す図



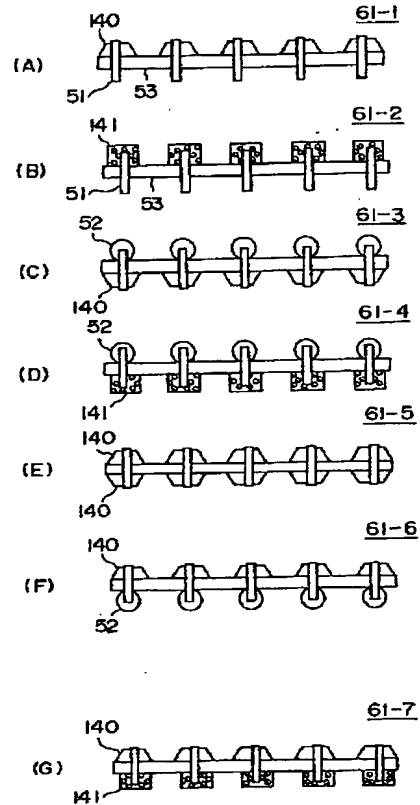
【図10】

第2のリード構造体の変形例を示す図



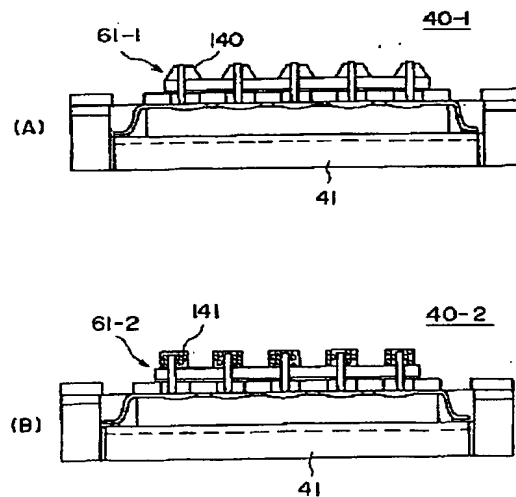
【図9】

第2のリード構造体の変形例を示す図



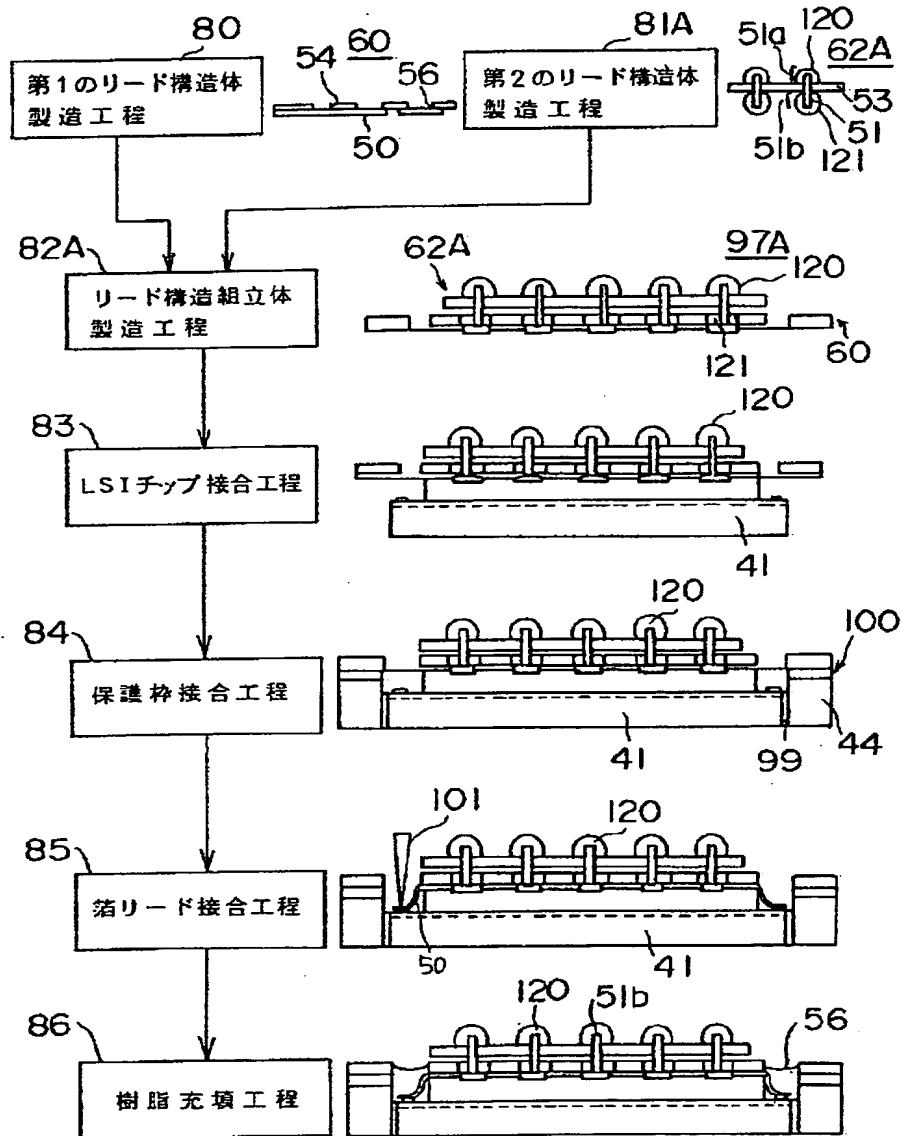
【図11】

μBGA型半導体装置の変形例を示す図



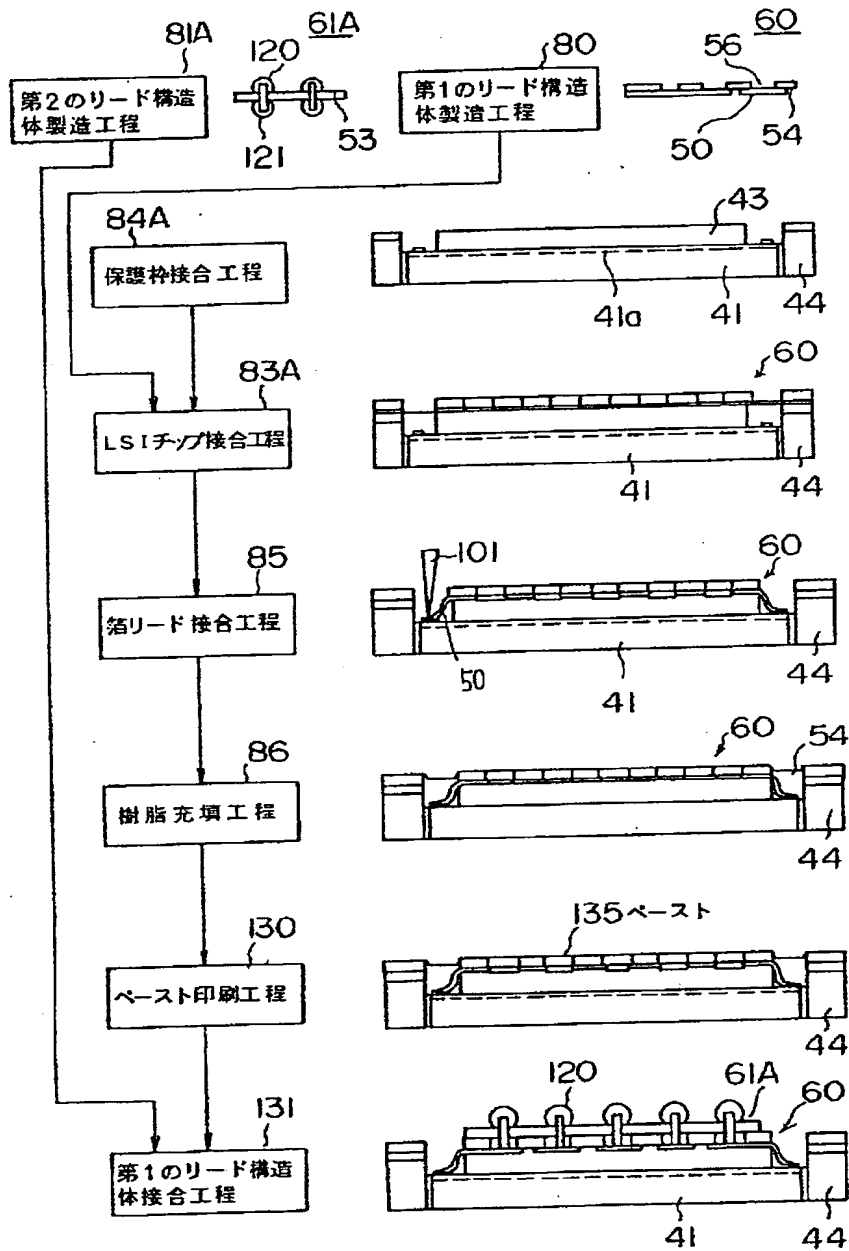
【図7】

図1の μ BGA型半導体装置の第1の製造方法の
第2の変形例の工程図



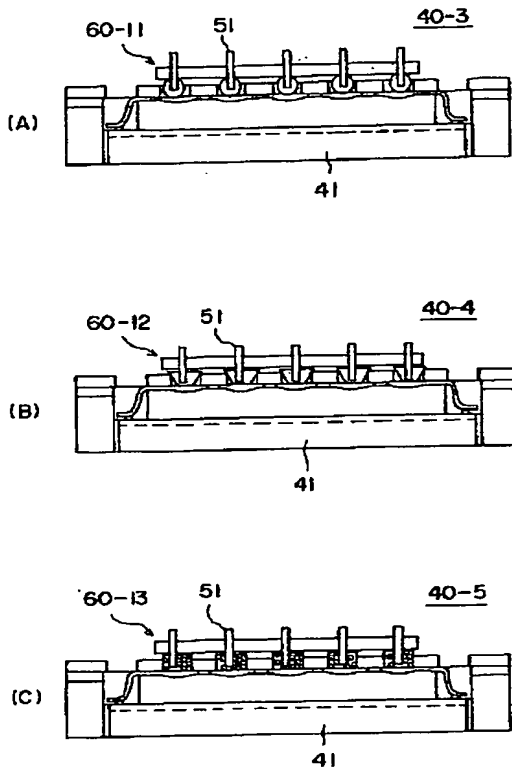
【図8】

図1の μ BGA型半導体装置の第2の製造方法の工程図



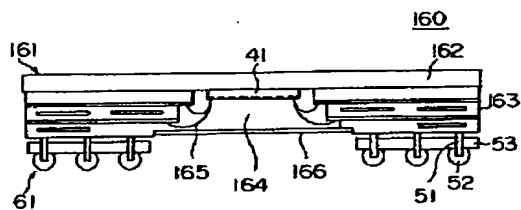
【図12】

μBGA型半導体装置の変形例を示す図



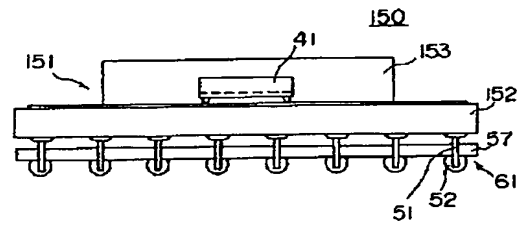
【図14】

本発明の第3実施例による半導体装置を示す図



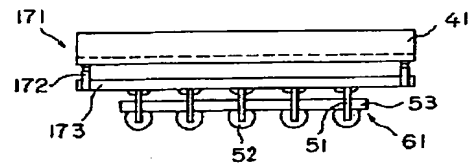
【図13】

本発明の第2実施例による半導体装置を示す図



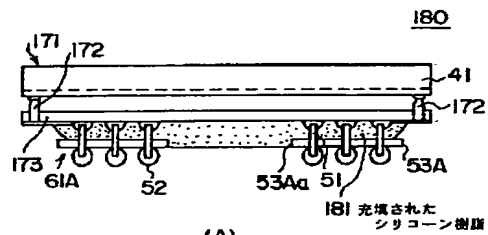
【図15】

本発明の第4実施例による半導体装置を示す図

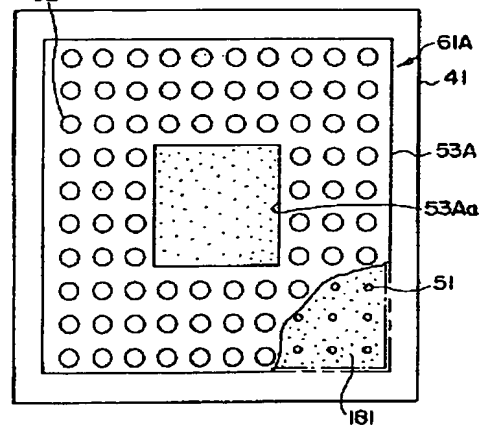


【図16】

本発明の第5実施例による半導体装置を示す図



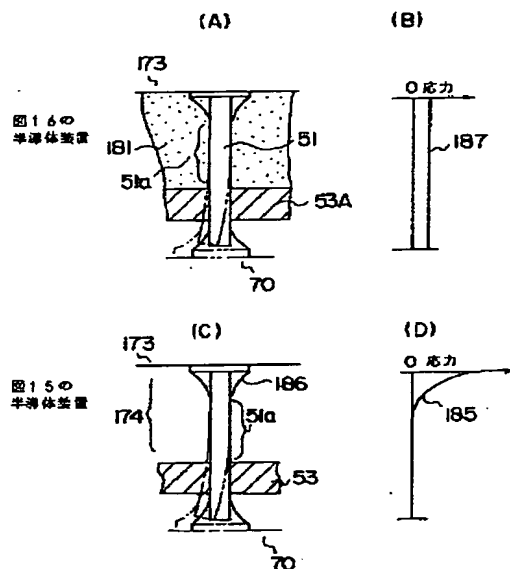
(A)



(B)

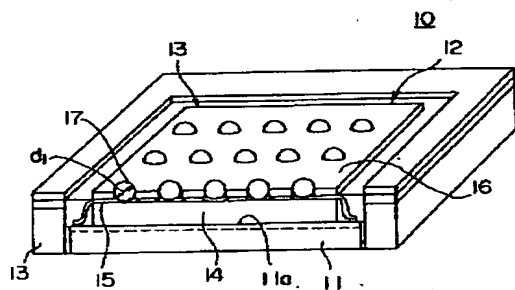
【図17】

図16の半導体装置中の極細ピンにかかる応力を、図15の半導体装置中の極細ピンにかかる応力と比較して示す図



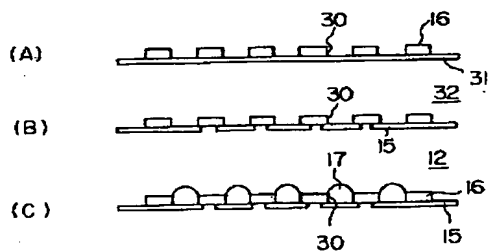
【図19】

従来の超小型半導体装置の1例を示す図



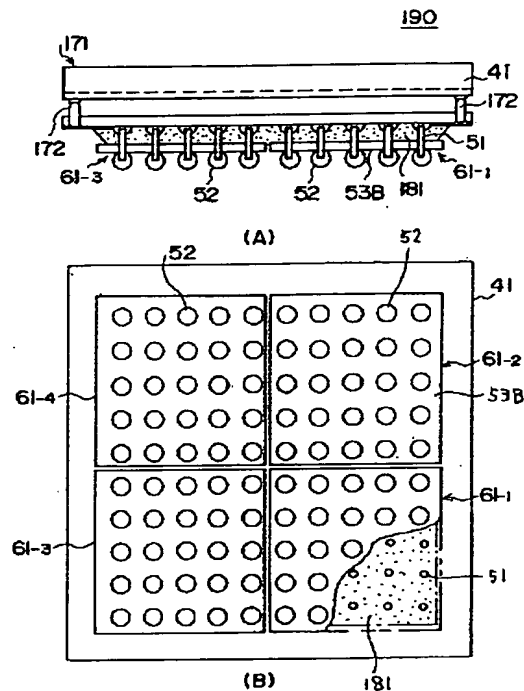
【図21】

端子部材の製造を説明するための図



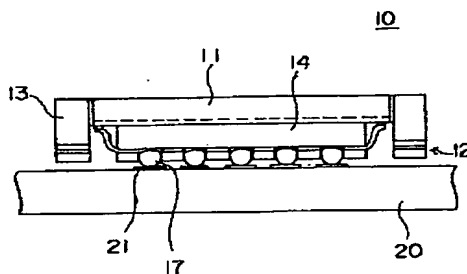
【図18】

本発明の第6実施例による半導体装置を示す図



【図20】

図19の超小型半導体装置が実装された状態を示す図



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号
9169-4M

F I

技術表示箇所

621 A

(72)発明者 水越 正孝

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内